

# Rangkaian Osilator Cincin dengan Sinyal Keluaran *Quadrature* untuk Aplikasi Komunikasi Nirkabel

Prapto Nugroho<sup>1</sup>

**Abstract**— This paper proposes a novel voltage controlled ring oscillator with quadrature output in 0.18  $\mu\text{m}$  CMOS technology. Interpolating inverter and sub-feedback loop is used to reduce the power consumption and increase the output frequency. It consumes only 3.3 mA from 1.8V supply voltage to oscillate at 4.4 GHz. It has wide tuning range from 0.6 GHz to 5 GHz or about 152% from center frequency. Phase noise of -103.1 dBc/Hz is achieved at 4.4 GHz carrier and 4 MHz frequency offset. Figure of Merit (FoM) is -156.1 dBc/Hz which is the best among its previous published reference papers.

**Intisari**— Paper ini berisi tentang sebuah rangkaian osilator cincin terkendali tegangan atau lebih dikenal dengan nama *voltage controlled oscillator* (VCO) dengan keluaran berbentuk *quadrature* dalam teknologi CMOS 0.18  $\mu\text{m}$ . Rangkaian VCO ini menggunakan teknik *interpolating* dan *sub-feedback* untuk mengurangi pemakaian daya dan meningkatkan frekuensi keluaran. Rangkaian ini hanya mengkonsumsi daya sebesar 3.3mA dari tegangan catu 1.8V untuk menghasilkan sinyal keluaran dengan frekuensi 4.4 GHz. Rangkaian ini memiliki rentang tala (*tuning range*) yang cukup lebar dari 0.6 GHz sampai dengan 5 GHz atau 152% dari frekuensi tengah. *Phase noise* (derau fase) sebesar -103.1 dBc/Hz dicapai pada frekuensi 4.4 GHz dengan frekuensi *offset* sebesar 4 MHz. *Figure of Merit* (FoM) rangkaian ini sebesar -156.6 dBc/Hz yang merupakan hasil terbaik dari referensi paper sebelumnya .

**Kata Kunci**— *Voltage controlled oscillators, Ring oscillators, Oscillators, Quadrature.*

## I. PENDAHULUAN

Osilator adalah komponen yang sangat penting dalam banyak blok rangkaian digital maupun sistem komunikasi. Osilator merupakan bagian penting dari *phase-locked loop* (PLL) yang digunakan dalam *frequency synthesizer* dalam blok rangkaian pemancar penerima di sistem telekomunikasi nirkabel seperti terlihat pada Gambar 1. *Frequency synthesizer* berbasis PLL dapat melacak frekuensi secara digital, tepat, dan cepat. Osilator juga digunakan sebagai pembangkit detak (*clock*) dalam sistem komputer [1], [2].

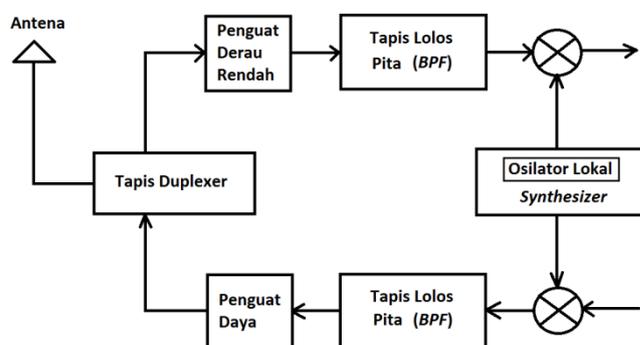
Perkembangan teknologi telekomunikasi nirkabel ini juga telah meningkatkan jumlah slot kanal frekuensi pada aplikasi telepon selular. Hal ini membuat jarak antar frekuensi menjadi semakin kecil sehingga diperlukan osilator dengan *phase noise* (derau fase) yang makin kecil. Demikian juga dalam perkembangan sistem komputer dimana kecepatan detak menjadi semakin tinggi, maka diperlukan osilator dengan *timing jitter* yang sangat kecil. *Phase noise* dan *jitter* adalah istilah yang berhubungan dengan stabilitas osilator dimana *phase noise* mendeskripsikan stabilitas dalam kawasan

frekuensi sedangkan *jitter* dalam kawasan waktu. Dalam tulisan ini digunakan istilah *phase noise*.

Osilator dengan output *quadrature* atau empat keluaran yang masing-masing berbeda phase 90°, diperlukan dalam aplikasi *data clock recovery* (DCR) untuk sistem komunikasi, dan juga dalam aplikasi *system on chip* (SoC) untuk aplikasi sistem digital [3]-[7]. Keluaran *quadrature* dapat dihasilkan dengan menggunakan teknik *injection locking* [3]-[4], *interpolating phase* dan *inverter* [5], atau *coupled inverter* [6]-[15]. Dari ketiga teknik di atas, *interpolating inverter* dilaporkan mempunyai konsumsi daya yang paling rendah [6].

Osilator *ring* adalah osilator tanpa induktor yang dihubungkan dengan koneksi cincin. Osilator ini tidak digunakan secara luas dalam aplikasi frekuensi radio karena memiliki *phase noise* yang lebih tinggi dibandingkan osilator LC. Akan tetapi, osilator ini dapat diintegrasikan dalam sebuah *chip* dengan mudah dan tidak memakan tempat sebagaimana osilator LC, sehingga memungkinkan untuk membuat *chip* yang kecil dan lebih murah. Osilator *ring* juga mempunyai karakteristik rentang tala yang lebar dan mapu membangkitkan sinyal keluaran *quadrature* tanpa memerlukan rangkaian tambahan [5]-[13].

Dengan perkembangan permintaan akan perangkat telekomunikasi nirkabel yang semakin kecil dan mudah dibawa ke mana-mana (*portable*), maka diinginkan chip osilator yang mempunyai frekuensi tinggi, mempunyai tala yang lebar, mempunyai konsumsi daya yang rendah, memerlukan luas area yang kecil, dan dapat terintegrasi dengan blok rangkaian lainnya dalam satu *chip*. Akan tetapi, sangat sulit merancang osilator dengan kinerja yang maksimal dan mempunyai derau yang rendah dengan daya yang kecil tetapi mengeluarkan sinyal frekuensi tinggi, karena ada pertukaran (*tradeoff*) antara daya yang dikonsumsi dan frekuensi yang dihasilkan serta besar kecilnya derau [7]. Namun karena banyak aplikasi nirkabel yang bekerja dengan baterai yang berarti harus mengkonsumsi daya rendah agar lama pemakaian bisa meningkat, maka merancang sebuah osilator dengan sinyal keluaran *quadrature* dan konsumsi daya yang rendah merupakan suatu tantangan yang menarik.



Gbr. 1 Skema pemancar penerima nirkabel yang umum digunakan.

<sup>1</sup> Jurusan Teknik Elektro dan Teknologi Informasi, Fakultas Teknik, Universitas Gadjah Mada, Jl. Grafika No. 2, Yogyakarta 55281 INDONESIA (telp / fax: 0274-552 305; e-mail: pnugroho@jti.gadjahmada.edu)

Tulisan ini disusun sebagai berikut, bab II mendiskusikan rangkaian osilator, mulai dari tinjauan rangkaian osilator cincin konvensional, dilanjutkan dengan rangkaian osilator cincin yang diusulkan termasuk cara-cara pembangkitan keluaran quadrature dan rangkaian ekuivalen. Bab III menampilkan hasil simulasi dan pembahasan dan diakhiri dengan kesimpulan pada bab IV.

## II. RANGKAIAN OSILATOR

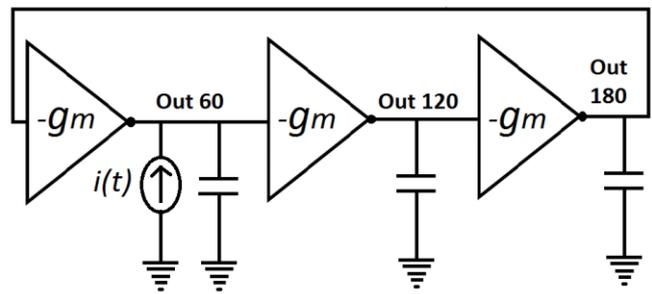
1) *Tinjauan pada Osilator Cincin Konvensional:* Rangkaian dasar osilator cincin menggunakan sel tunda atau *inverter* berjumlah ganjil, yang paling kecil berjumlah tiga atau disebut osilator cincin tiga tahap. Contoh dari osilator cincin tiga tahap dapat dilihat pada Gambar 2. Karena ada waktu tunda dari sinyal yang masuk dan keluar *inverter*, maka *inverter* bisa digunakan sebagai sel tunda. Frekuensi keluaran dari osilator ini dapat dihitung dengan menggunakan rumus

$$f_{osc} = \frac{1}{2N \tau_d} \quad (1)$$

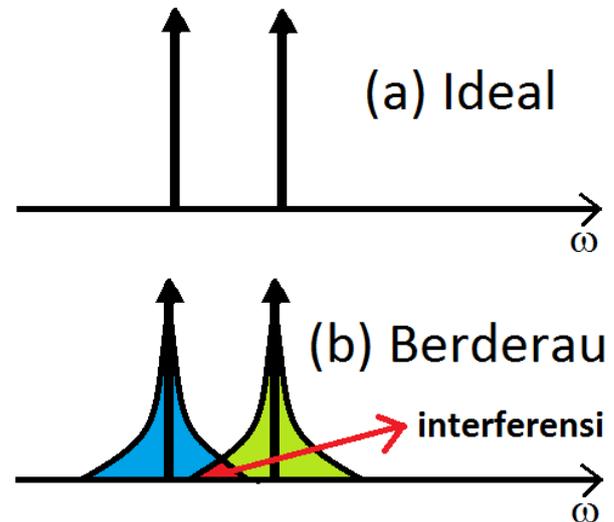
dimana  $\tau_d$  adalah waktu yang dibutuhkan sinyal masukan *inverter* untuk mencapai keluaran atau disebut waktu tunda dan  $N$  adalah jumlah total tahap (*inverter*) pada rangkaian tersebut. Frekuensi dapat diubah dengan mengubah jumlah *inverter* atau dengan mengubah waktu tunda tiap *inverter*.

*Inverter* yang terhubung dengan hubungan cincin ini pada umumnya ada dua jenis yaitu *single ended* atau *differential*. Derau fase osilator cincin *differential* meningkat seiring dengan meningkatnya jumlah tahap [7], [12]-[13]. Meskipun mempunyai frekuensi keluaran yang sama dan jumlah tahap yang sama, osilator cincin berbasis *differential inverters* mengkonsumsi daya lebih rendah daripada *single-ended inverter* [12]-[13], sebesar sekitar 7 dB [10].

Pada akhirnya, pemilihan jumlah tahap harus berdasarkan beberapa kriteria perancangan, seperti pengaruh derau *flicker* atau disebut juga derau  $1/f$ , frekuensi maksimal yang diinginkan, dan pengaruh dari derau dari luar rangkaian seperti derau yang berasal dari catu daya maupun *substrate* atau bahan. Pada topologi *differential*, jumlah tahap yang kecil akan menghasilkan derau fase yang lebih kecil, tetapi sebaliknya, frekuensi sudut  $1/f^3$  derau fase berbanding terbalik dengan jumlah tahap, sehingga jumlah tahap yang kecil akan membuat sudut frekuensi  $1/f^3$  semakin besar sehingga menghasilkan ketidak simetrisan pada sinyal keluaran osilator yang berakibat pada membesarnya derau. Karena kedua hal yang saling bertentangan ini, maka diperlukan optimisasi agar dicapai hasil yang optimal dengan derau fase yang paling kecil. Salah satu paper yang meneliti jumlah tahap yang optimal menyarankan jumlah tiga tahap sebagai yang paling optimal [11]. sudut frekuensi  $1/f$  juga berpengaruh pada besar kecilnya sudut frekuensi  $1/f^3$ , karena Sudut frekuensi  $1/f$  akan diubah menjadi  $1/f^3$ . Tetapi sudut frekuensi  $1/f$  dapat diminimalisir dengan perancangan rangkaian yang bagus [15].



Gbr. 2 Model linier osilator cincin tiga tahap.



Gbr. 3 Spektrum frekuensi sinyal ideal dan berderau.

2) *Mekanisme Perbaikan Derau Fase:* Sebuah spektrum frekuensi sinyal keluaran osilator yang ideal ditunjukkan oleh Gbr. 3a. Dalam realitanya, tidak ada yang bisa mencapai keadaan ideal, karena pengaruh dari derau maka sinyal keluaran menjadi berderau seperti yang digambarkan pada Gbr. 3b. Hal ini dapat menyebabkan interferensi antar kanal, bila kanal frekuensi sangat dekat jaraknya, yang kemudian dapat menyebabkan terjadinya *crosstalk* pada sistem komunikasi.

Derau pada osilator dapat menyebabkan fluktuasi pada amplitudo, maupun fase dari sinyal keluaran osilator. Derau pada osilator dapat dibagi menjadi dua kelompok yaitu Derau yang disebabkan oleh komponen osilator seperti *thermal noise*, *shot noise* dan *flicker noise*, dan yang kedua karena interferensi seperti misalnya *substrate noise* dan *supply noise*. Dari semua derau pada osilator, derau fase atau *phase noise* adalah derau yang paling mendominasi dan paling penting untuk dibahas. Banyak tidaknya derau fase digunakan untuk mengukur kemurnian spektral (*spectral purity*) dari sumber sinyal. Kemurnian spektral merupakan bagian paling penting dari karakteristik *frequency synthesizer* karena ia mempunyai implikasi langsung pada kemampuan dari sistem yang dirancang [11].

Diskusi mengenai perbaikan derau fase pada umumnya berkisar dan terfokus pada dua daerah pada spektrum frekuensi derau fase seperti terlihat pada Gbr. 4, yaitu daerah  $1/f^2$  and  $1/f^3$ . Salah satu sumber dari derau pada daerah  $1/f^3$  adalah  $1/f$  noise atau disebut juga derau *flicker*, karena derau *flicker* dapat diubah menjadi derau fase pada daerah  $1/f^3$

dengan mekanisme yang ada dalam osilator akibat dari sifat ketidaklinieran yang ada pada osilator .

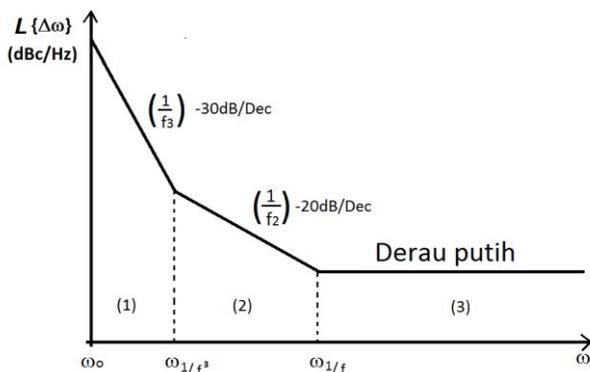
Untuk mengurangi derau *flicker*, maka rancangan rangkaian osilator harus di rancang sehingga sinyal yang dihasilkan seimbang atau simetris antara waktu bangkit (*rise time*) and waktu jatuh (*falling time or falling transition*). Dengan mengecilnya derau *flicker*, maka derau *noise* juga akan menjadi lebih kecil [15].

3) *Rangkaian yang Diajukan*: Gbr. 5a menunjukkan topologi dari osilator yang diusulkan. Osilator ini terdiri dari empat buah sel tunda dimana masing-masing sel tunda terdiri dari dua buah inverter (misalnya yang berada dalam kotak bergaris putus-putus yaitu INV2 dan f2). *Inverter* yang digambarkan dengan gambar agak besar menyusun rangkaian utama yaitu  $X1 - X2 - X3 - X4 - X1$ , dari *inverter* 1 kembali ke *inverter* 1 lagi melewati kalang utama. Sedangkan empat buah inverter yang lain, yaitu f1-f4 berfungsi sebagai *inverter* pada kalang umpan balik atau lebih dikenal dengan istilah *sub-feedback loop*.

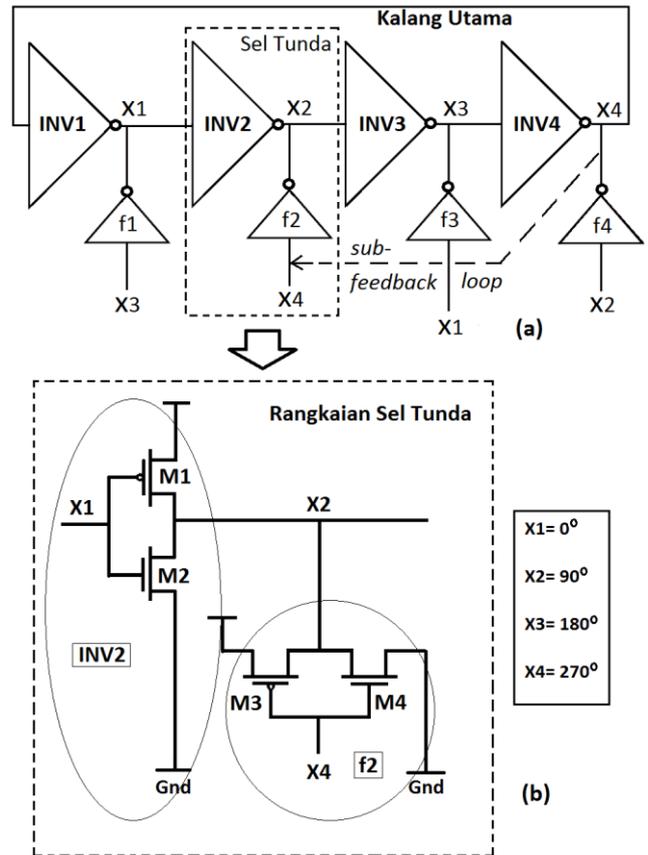
Dalam rangkaian ini, koneksi *sub-feedback loop* adalah dari  $X2 - X3 - X4 - f2 - X2$ , setelah *inverter* 4 tidak kembali ke  $X2$  atau keluaran dari *inverter* INV2 lewat *inverter* INV1 tetapi kembali ke  $X2$  lewat *inverter* f2. Tiap sel tunda menghasilkan pergeseran fase sebesar  $90^\circ$  sehingga total geser fase sebesar  $360^\circ$ . Untuk menjaga agar rangkaian tetap beresilasi, perolehan (*gain*) dari rangkaian dijaga tetap bernilai satu atau lebih.

Gbr. 5b menunjukkan rincian dari salah satu sel tunda. Tiap sel tunda terdiri dari dua *inverter*. *Inverter* pertama berada dalam kalang utama yang dalam contoh ini INV2 yang terdiri dari satu PMOS (M1) dan satu NMOS (M2). Sinyal keluaran dari inverter ini dirancang dengan mengatur besar kecilnya ukuran transistor CMOS sehingga sinyal yang dihasilkan seimbang atau simetris antara waktu bangkit dan waktu jatuh.

*Inverter* kedua yang dalam contoh gambar menampilkan *inverter* f2, berada dalam kalang balik yang dikenal dengan nama *Sub-feedback loop*. *Inverter* ini juga mempunyai dua buah transistor CMOS yang terdiri dari PMOS (M3) dan NMOS (M4). *Inverter* pertama diberimaskan dari sinyal keluaran *inverter* sebelumnya yaitu INV1 yang disini diberi simbol X1, sedangkan *inverter* kedua mendapat masukan dari sinyal keluaran INV4 atau X4. Sinyal masukan untuk *inverter* kedua ini mempunyai fase yang lebih cepat  $90^\circ$  dari sinyal masukan untuk *inverter* pertama, karena masukan untuk *inverter* kedua adalah juga merupakan masukan untuk INV1 sedangkan sinyal masukan untuk *inverter* kedua adalah sinyal keluaran INV1, karena itu berbeda  $90^\circ$ .



Gbr. 5 Spektrum frekuensi derau fase *sideband* tunggal.



Gbr. 5 Topologi dan skema rangkaian *ring* osilator yang diusulkan.

4) *Membuat Keluaran Quadrature*: Untuk menghasilkan keluaran *quadrature* dari rangkaian osilator cincin *single ended* diperlukan jumlah tahap yang genap, tetapi jumlah tahap yang genap tidak akan bisa beresilasi karena mempunyai keadaan stabil yang disebut *latch-up*. Untuk mencegah keadaan *latch up*, yang pertama dengan menggunkan sel tunda CML(*current mode logic*) yang mempunyai sebuah transistor *tail current source* [16]. Cara kedua dengan menggunakan teknik *injection locking*. Cara ketiga dengan menambahkan jalur *feed forward* atau *sub-feedback* pada nodal yang mempunyai fase berlawanan [10].

Cara pertama mempunyai kelemahan, yaitu konsumsi daya yang lebih besar karena penggunaan arus bias yang konstan pada transistor *tail*, sedangkan *injection locking* memerlukan input berupa sinyal diferensial. Oleh karena itu dalam paper ini digunakan cara ketiga yaitu menambahkan jalur atau kalang umpan balik *sub-feedback*.

Osilator rancangan menggunakan *single-ended inverter* empat tahap untuk menghasilkan keluaran *quadrature*, meskipun dapat juga dilihat sebagai *differential inverter* dua tahap dengan sub-feedback index  $x = 3$  [11]. Di mana  $x$  merepresentasikan jumlah *inverter* dalam kalang umpan balik. Dalam rancangan ini, rangkaian umpan balik terdiri dari INV2, INV3 dan f2. Dengan membentuk kalang umpan balik *sub-feedback* dua buah sinyal dengan fase yang berbeda  $180^\circ$  akan bertemu sehingga membentuk sebuah rangkaian *regenerative* yang akan membuat osilator dengan jumlah tahap yang genap

tetap bisa beresilasi dan mengeluarkan sinyal. Kalang *Sub-feedback* juga bisa digunakan untuk membuat jalur cepat sehingga mengurangi waktu tunda dan akibatnya bisa meningkatkan frekuensi [10], [11]. Hal ini bisa dijelaskan sebagai berikut, ketika keluaran dari INV2 belum mencapai tegangan ambang (*threshold*), keluaran dari  $f_2$  sudah mencapai tegangan ambang terlebih dahulu, sehingga tegangan keluaran pada  $X_2$  dapat mencapai tegangan ambang terlebih dahulu sesuai dengan tegangan keluaran dari  $f_2$ , sehingga menyebabkan periode sinyal keluaran atau waktu tunda menjadi lebih kecil dan akhirnya dapat meningkat kan frekuensi keluaran.

5) *Rangkaian Ekuivalensi*: Gbr. 6 menunjukkan rangkaian ekuivalen sinyal kecil (*small-signal equivalent circuit*) dari sel tunda yang diusulkan. Dengan menggunakan rangkaian ekuivalensi ini, dengan mengasumsikan  $X_1 = V_{in}$ , dan  $X_4 = -V_{out}$  karena berbeda  $180^\circ$  dengan  $X_2$ , maka kita dapatkan persamaan

$$\begin{aligned} & (g_{m3} + g_{m4} + g_{ds2} + g_{ds2} + g_{ds2} + g_{ds2} + sC_L)V_{out} \\ & - (g_{m1} + g_{m2})V_{in} = 0 \end{aligned} \quad (2)$$

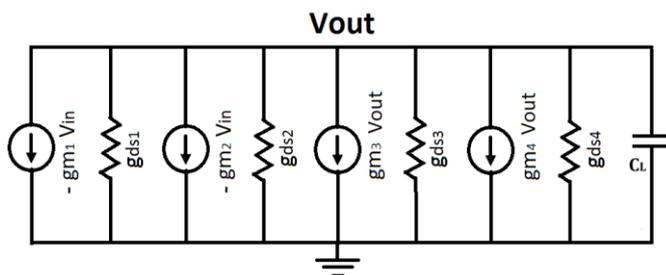
di mana  $g_m$  adalah transkonduktansi (*transconductance*),  $g_{ds}$  melambangkan konduktansi keluaran (*output conductance*), dan  $C_L$  merepresentasikan beban muatan (*discharging path*). Dengan mengotak-atik (1), kita akan dapatkan rumusan penguatan tegangan seperti di bawah ini

$$\frac{V_{out}}{V_{in}} = \frac{-(g_{m1} + g_{m2})}{g_{m3} + g_{m4} + g_{ds2} + g_{ds2} + g_{ds2} + g_{ds2} + sC_L} \quad (3)$$

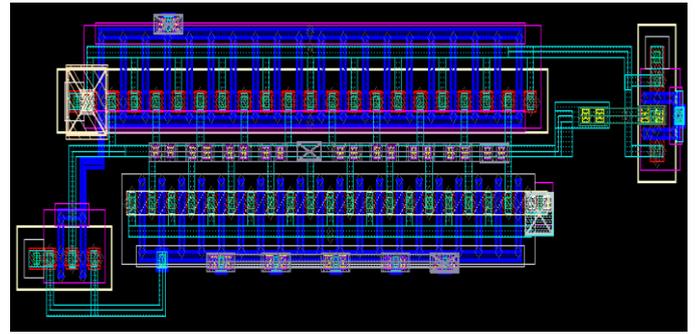
Untuk menjaga agar osilasi stabil, berdasarkan kriteria yang dirumuskan oleh Barkhausen [1], rangkaian harus memproduksi total pergeseran fase sebesar  $180^\circ$  dan memiliki penguatan minimal satu pada frekuensi osilasi. Hal ini diimplementasikan dengan menghilangkan bagian *real* dari pembagi harus dihilangkan, karena harus jauh lebih kecil dari bagian imajiner, sehingga bisa kita anggap nol atau dihilangkan. Hasil akhirnya berupa persamaan untuk menentukan frekuensi keluaran

$$f_{osc} = -\frac{g_{m1} + g_{m2}}{2\pi C_L} \quad (4)$$

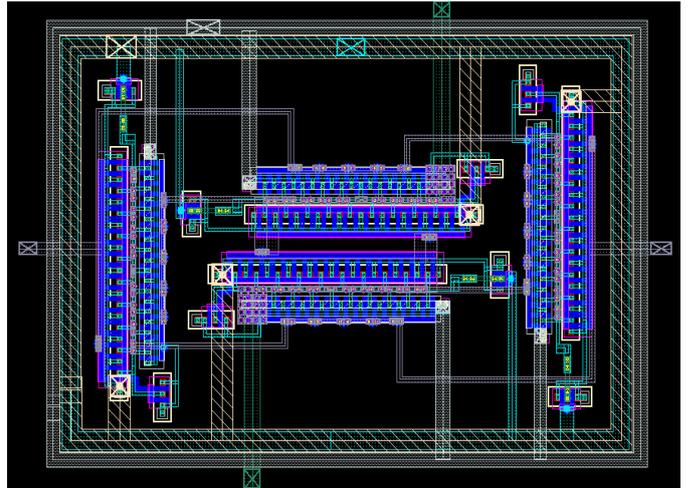
Dari persamaan ini dapat kita lihat bahwa transkonduktansi dari M1 dan M2 menentukan frekuensi keluaran.



Gbr. 6 Rangkaian ekuivalensi dari sel tunda (gambar 5b).



Gbr. 7 Layout dari sel tunda (gambar 5b).



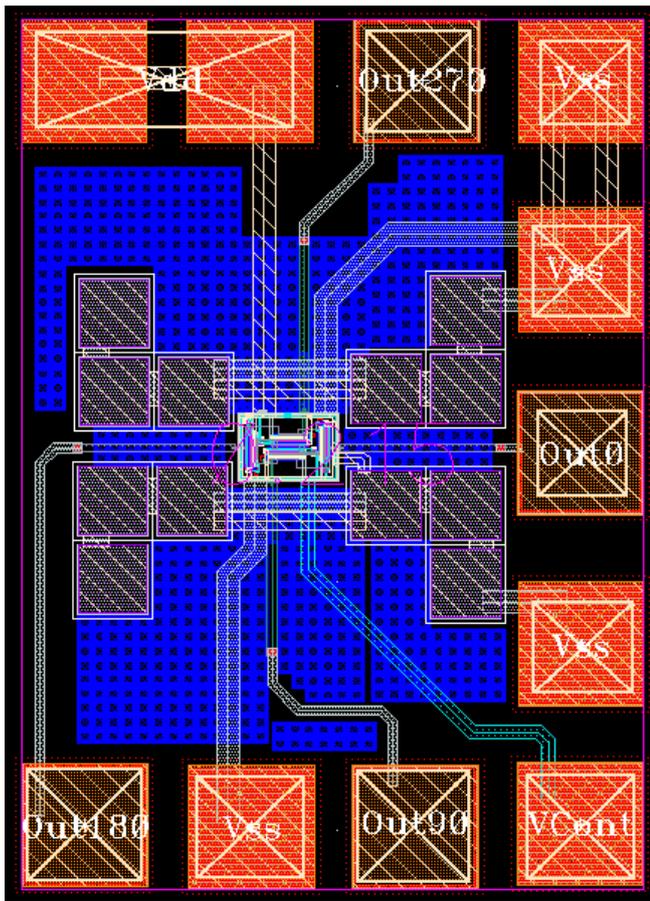
Gbr. 8 Layout osilator tanpa *bonding pad*

### III. HASIL SIMULASI DAN PEMBAHASAN

Gbr. 7, 8 dan 9 adalah *layout* dari sel tunda, osilator tanpa *bonding pad*, dan rangkaian akhir osilator cincin lengkap dengan *bonding pad* yang siap untuk di fabrikasi dengan menggunakan teknologi CMOS 0.18  $\mu\text{m}$  dari TSMC. Ukuran total dari chip termasuk *bonding pad* hanyalah sebesar 0.215  $\text{mm}^2$ , sedangkan ukuran dari sel tunda dan osilator inti masing-masing sebesar 0.062  $\text{mm}^2$  dan 0.015  $\text{mm}^2$ .

Sebagaimana ditunjukkan oleh gambar 10, hasil simulasi menunjukkan VCO rancangan dapat membangkitkan sinyal keluaran dari frekuensi 0.6 GHz sampai dengan 5 GHz dengan tegangan kendali 0.4V sampai dengan 2V, atau dengan kata lain, osilator mempunyai kisaran tala yang cukup lebar yaitu sebesar 152% dari frekuensi tengah. Sebenarnya bisa saja  $V_{dd}$  sebagai pengatur frekuensi keluaran dinaikkan sampai lebih dari 2V namun simulasi kita batasi sampai 2V saja. Gambar 10 menunjukkan bahwa keluaran osilator cukup linier. Osilator ini juga hanya memerlukan 3.3 mA untuk menghasilkan keluaran sebesar 4.4 GHz dengan tegangan kendali 1.8V, atau konsumsi daya sebesar 6 mW saja.

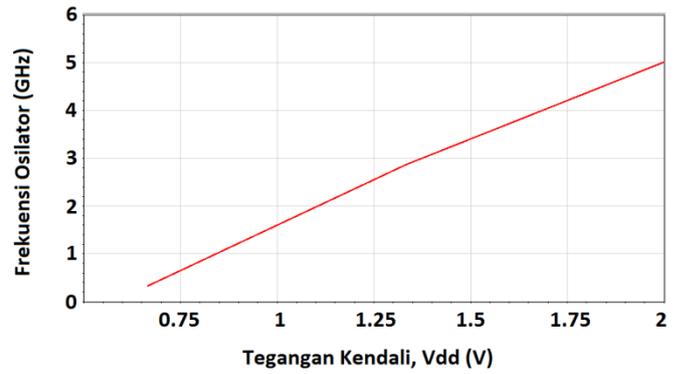
Gbr. 11 menunjukkan sinyal keluaran *quadrature* dari osilator pada 4.4 GHz dengan tegangan  $V_{dd}$  sebesar 1.8V,



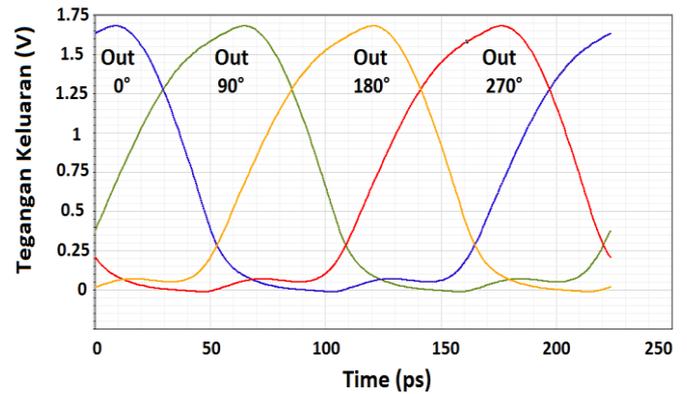
Gbr. 9 Layout akhir dari osilator dengan bonding pad.

di mana tegangan puncak ke puncak ( $V_{pp}$ ) cukup tinggi mendekati tegangan  $V_{dd}$ . Derau fase ditunjukkan oleh gambar 12 sebesar  $-81.8 \text{ dBc/Hz}$  pada frekuensi *offset* 1 MHz dan sebesar  $-103.1$  pada frekuensi *offset* 4 MHz.

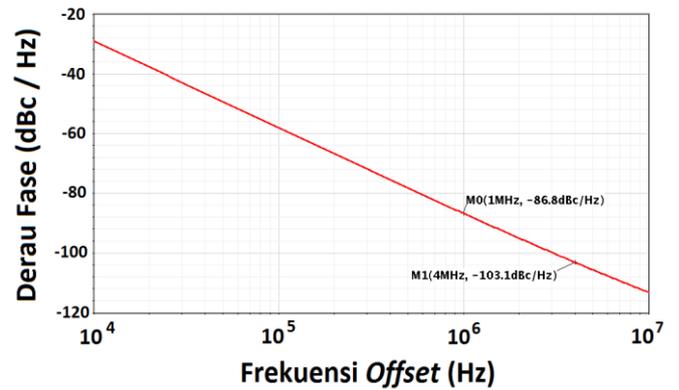
Uraian di atas menunjukkan bahwa osilator ini mempunyai penalaan yang linier, konsumsi daya yang rendah dan derau fase yang cukup rendah. Namun untuk melihat kelebihan osilator ini, maka perlu dibuat tabel perbandingan yang membandingkan osilator ini dengan osilator yang pernah dirancang sebelumnya.



Gbr. 10 Kurva penalaan frekuensi.



Gbr. 11 Bentuk gelombang keluaran *quadrature* pada 4.4 GHz.



Gbr. 12 Grafik derau fase terhadap frekuensi *offset*.

TABEL I  
RINGKASAN DAN PERBANDINGAN DENGAN RANCANGAN LAINNYA

Referensi	Frekuensi Keluaran [GHz]	Kisaran Tala	Konsumsi Daya [mW]	Derau Fase [dBc/Hz]	Frekuensi Offset	FoM [dBc/Hz]	Ukuran [mm <sup>2</sup> ]	Teknologi [μm]	Topologi
[17]	2.2	84%	75	-106	2MHz	-146.8	0.5	0.5	Coupled
[18]	3.6	70%	4.2	-90.1	1MHz	-148.9	0.24	0.18	Coupled
[12]	11.5	19%	11.7	-94.3	2MHz	-150.7	0.13	0.5	Coupled
[19]	3.5	189%	103	-106	4MHz	-152.8	--	0.18	Inverting
[14]	1	82%	0.7	-94	2MHz	-155.6	0.35	0.18	Coupled
<b>Rangkaian ini</b>	<b>4.4</b>	<b>152%</b>	<b>6</b>	<b>-103.1</b>	<b>4MHz</b>	<b>-156.1</b>	<b>0.06</b>	<b>0.18</b>	Inverting

-- Tidak tersedia

Tabel I menunjukkan ringkasan dan perbandingan dengan osilator lain yang pernah di publikasikan dalam paper sebelumnya. Dalam tabel ini, digunakan hasil simulasi pada 4.4 GHz yang dihasilkan dari satu daya 1.8V, karena besaran satu daya ini yang banyak digunakan pada referensi. Untuk menilai unjuk kerja osilator, maka dalam tabel ditambahkan penghitungan *figure of merit* (FoM), yang mana penghitungannya menggunakan rumus FoM [20]

$$FoM = -20 \log \left( \frac{F_{osc}}{Offset} \right) + P_{Noise} + 10 \log P_{DC[mW]} \quad (5)$$

$F_{osc}$  melambangkan frekuensi keluaran atau frekuensi osilasi, *Offset* untuk frekuensi offset,  $P_{Noise}$  merepresentasikan derau fase, dan  $P_{DC[mW]}$  menunjukkan konsumsi daya dalam mW.

Hasil penghitungan FoM menunjukkan bahwa osilator rancangan ini mempunyai unjuk kerja yang terbaik dibandingkan referensi dari paper-paper yang pernah di terbitkan.

#### IV. KESIMPULAN

Sebuah osilator terkendali tegangan (VCO) dengan keluaran *quadrature* sudah berhasil di rancang dalam teknologi 0.18μm, dengan sel tunda yang baru. Hasil simulasi menunjukkan bahwa osilator rancangan mempunyai beberapa keunggulan, yaitu penalaannya yang linier dan lebar, konsumsi daya yang rendah, dan derau fase yang cukup rendah. Ukuran keseluruhan *chip* termasuk *bonding pad* yang cukup kecil. Dengan karakteristik tersebut, rangkaian ini dapat digunakan untuk aplikasi komunikasi nirkabel.

#### REFERENSI

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuit*, New York, NY: McGraw-Hill, 2000.
- [2] B. Razavi, "A study of Phase Noise in CMOS Oscillators," IEEE J. Solid-state Circuits, vol. 31, pp. 331-343, March 1996.
- [3] J. Lu, et.al, "A compact and low power 5-10 GHz quadrature local oscillator for cognitive radio application," IEEE J. Solid-State Circuits vol. 47, pp. 1131-1139, May 2012.
- [4] M. Hossain and A. C. Carusone, "CMOS oscillator for clock distribution and injection-locked des skew," IEEE J. Solid-State Circuits, vol. 44, pp. 2138-2153, Aug. 2009.
- [5] F. H. Gebara, J. D. Schaub, A. J. Drake, K. J. Nowka, and R. B. Brown, "4.0 GHz 0.18μm CMOS PLL based on an interpolate oscillator," Symp. VLSI Circuits Dig. Tech. Paper, pp. 100-103, Jun. 2005.
- [6] A. Matsumoto, S. Sakiyama, Y. Tokunaga, T. Morie, and S. Doshio, "A Design Method and Developments of a Low-Power and High-Resolution Multiphase Generation System," IEEE J. Solid-State Circuits, Vol. 43, pp. 831-843, April 2008.
- [7] B. Fahs, W. Y. Ali-Ahmad, and P. Gamand, "A two-stage ring oscillator in 0.13-μm CMOS for UWB Impuls radio," IEEE Trans. Microw. Theory Tech., vol. 57, pp. 1074-1082, May 2009.
- [8] J. Xu, A. Verma, and T. H. Lee, "Coupled Inverter Ring I/Q oscillator for low power frequency synthesis," IEEE Symp. VLSI Circuits Dig. Tech. papers, pp.173-173, 2006.
- [9] H. Q. Liu, W. L. Goh, L. Siek, W. M. Lim and Y. P. Zhang, "A low-noise multi GHz CMOS multiloop ring oscillator with coarse and fine frequency tuning," IEEE Trans. VLSI System, vol. 17, pp. 571-577, Apr. 2009.
- [10] O. Nizhnik, R. K. Pokharel, H. Kanaya, and K. Yoshida, "Low noise wide tuning range quadrature ring oscillator for multi-standard transceiver," IEEE Microw. Wireless Comp. Lett., Vol. 19, pp. 470-474, Jul. 2009.
- [11] L. Sun and T. A. Kwasnieski, "A 1.25-GHz 0.35-μm monolithic CMOS PLL based on a multiphase ring oscillator," IEEE J. Solid-state Circuits, Vol. 36, pp. 910-916, Jun. 2001.
- [12] J. D. Van Der Tang and D. Kasperkovitz, and A. VanRoermund, "A 9.8-11.5-GHz quadrature ring oscillator for optical receivers," IEEE J. Solid-State Circ., vol. 37, pp. 438-442, Mar. 2002.
- [13] C. Li and J. Lin, "A 1-9 GHz linear-wide-tuning-range quadrature ring oscillator in 130nm CMOS for non-contact vital sign radar application," IEEE Microw. and Wireless Comp. Lett., Vol. 20, pp. 34-36, Jan. 2010.

- [14] T. Yoshida, N. Ishida, M. Sasaki, and A. Iwata, "Low-voltage, low-phase-noise ring-VCO using  $1/f$ -noise reduction techniques," *Jpn. J. Appl. Phys.*, vol. 46, pp. 2257-2260, Apr. 2007.
- [15] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE J. Solid-State Circuits*, Vol. 34, pp.790-804, Jun. 1999.
- [16] M. Sokolich, A. R. Kramer, Y. K. Boegeman, and R. R. Martinez, "Demonstration of sub-5 ps CML ring oscillator gate delay with reduced parasitic AlInAs/InGaAs HBT," *IEEE Electron Device Letters*, vol. 22, no. 7, pp. 309-311, Jul. 2001.
- [17] J. D. Van Der Tang and D. Kasperkovitz, "A 0.9-2.2 GHz monolithic quadrature mixer oscillator for direct conversion satellite receivers," *Digest Tech. paper of ISSCC*, pp.88-89, 1997.
- [18] W.-H. Tu, J.-Y. Yeh, and H.-C. Tsai, "A 1.8V 2.5-5.2 GHz CMOS dual-input two-stage ring VCO," *Proc. IEEE Asia-pacific conference in Advanced System Integrated Circuits*, pp. 134-137, 2004.
- [19] M. Grozing, B. Philip, and M. Berroth, CMOS ring oscillator with quadrature outputs and 100 MHz to 3.5 GHz tuning range, *Proc. of 29th Europe Solid-State Circuits Conference*, 2003, pp. 679-682.
- [20] L. Dai and R. Harjani, *Design of high-performance CMOS voltage controlled oscillators*, Kluwer Academic Publishers, Boston, 2003.